

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332553
(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H03G 3/02
H03F 3/217
H03M 7/32

(21)Application number : 11-141908

(71)Applicant : SHARP CORP

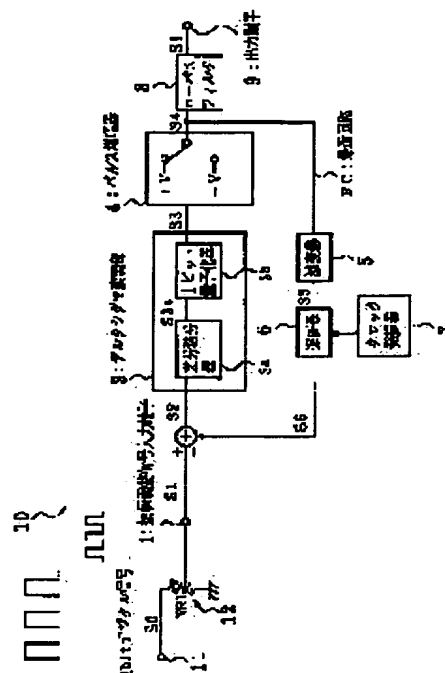
(22)Date of filing : 21.05.1999

(72)Inventor : OKUYA HIROMASA
MASUDA KIYOSHI

(54) ONE-BIT DIGITAL AMPLIFYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a 1-bit digital amplifying device which can adjust an amplification output by increasing or decreasing an amplitude level by simple constitution for an input 1-bit digital signal even when an applied voltage value for pulse amplification is constant.
SOLUTION: This 1-bit digital amplifying device generates a 1-bit quantization output signal S3 by imposing digital sigma modulation by passing an input signal through a digital sigma modulating circuit composed of a differentiator 2, a digital sigma modulation part 3, a pulse amplifier 4, and a feedback circuit FC and imposes pulse amplification on the quantized output signal S3. A 1-bit digital signal S0 is inputted as the input signal. An amplitude level variation part 12 which varies the amplitude level of the 1-bit digital signal S0 is provided before the pulse amplification.



LEGAL STATUS

[Date of request for examination] 25.01.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Japanese Publication for Unexamined Patent Application**No. 332553-2000 (Tokukai 2000-332553)****A. Relevance of the above-identified Document**

This document has relevance to claim 1 of the present application.

B. Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

A 1-bit digital amplifier, carrying out digital sigma modulation by allowing an input signal to pass through a digital sigma modulation circuit and generating a 1-bit quantization output signal so as to amplify a pulse of the 1-bit quantization output signal, wherein

a 1-bit digital signal is inputted as the input signal, and amplitude level variation means for varying an amplitude level of the 1-bit digital signal is provided before pulse amplification.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-332553

(P2000-332553A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 3 G 3/02		H 0 3 G 3/02	A 5 J 0 6 4
H 0 3 F 3/217		H 0 3 F 3/217	5 J 0 9 1
H 0 3 M 7/32		H 0 3 M 7/32	5 J 1 0 0

審査請求 未請求 請求項の数5 O L (全 17 頁)

(21)出願番号 特願平11-141908

(22)出願日 平成11年5月21日(1999.5.21)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 奥屋 博雅

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 増田 清

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

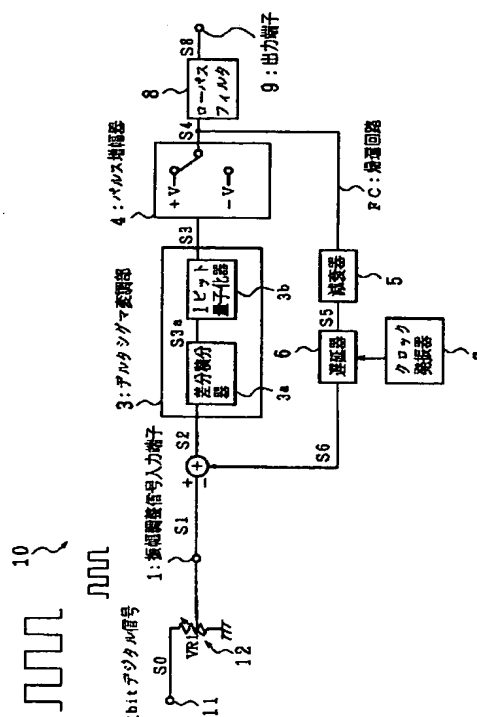
最終頁に続く

(54)【発明の名称】 1ビットデジタルアンプ装置

(57)【要約】

【課題】 パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供する。

【解決手段】 入力信号を差分器2、デルタシグマ変調部3、パルス増幅器4、帰還回路F Cからなるデルタシグマ変調回路に通すことによりデルタシグマ変調して1ビットの量子化出力信号S3を生成し、量子化出力信号S3をパルス増幅する。入力信号として、1ビットデジタル信号S0を入力する。1ビットデジタル信号S0の振幅レベルを可変する振幅レベル可変部12がパルス増幅する前に設けられている。



(2)

1

【特許請求の範囲】

【請求項 1】入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して 1 ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する 1 ビットデジタルアンプ装置において、
上記入力信号として、1 ビットデジタル信号を入力する一方、この 1 ビットデジタル信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴とする 1 ビットデジタルアンプ装置。

【請求項 2】入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して 1 ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する 1 ビットデジタルアンプ装置において、
上記入力信号として、1 ビットデジタル信号とアナログ信号とを並列に同時入力する一方、これら 1 ビットデジタル信号及びアナログ信号の振幅レベルを共通して同時に可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴とする 1 ビットデジタルアンプ装置。

【請求項 3】入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して 1 ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する 1 ビットデジタルアンプ装置において、
上記入力信号として、1 ビットデジタル信号とアナログ信号とがそれぞれの第 1 断接手段を介して断接可能に入力される一方、これら各第 1 断接手段を介して入力された 1 ビットデジタル信号及び／又はアナログ信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴とする 1 ビットデジタルアンプ装置。

【請求項 4】前記各第 1 断接手段を介して入力された 1 ビットデジタル信号及び／又はアナログ信号は、切替手段を介して振幅レベル可変手段にいずれか一方が入力されることを特徴とする請求項 3 記載の 1 ビットデジタルアンプ装置。

【請求項 5】入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して 1 ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する 1 ビットデジタルアンプ装置において、
上記入力信号として、1 ビットデジタル信号とアナログ信号とがそれぞれの第 1 断接手段を介して断接可能に入力される一方、これら各第 1 断接手段を介して入力された 1 ビットデジタル信号又はアナログ信号は、さらにそれぞれに設けた第 2 断接手段を介して各専用の振幅レベル可変手段に入力され、かつ振幅レベルが可変された 1 ビットデジタル信号及び／又はアナログ信号は、1 ビットデジタル信号専用の入力端子又はアナログ信号専用の入力端子に入力されて各々独自にデルタシグマ変調されることを特徴とする 1 ビットデジタルアンプ

2

装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して 1 ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する 1 ビットデジタルアンプ装置に関するものであり、特に、入力された 1 ビットデジタル信号を増幅等して出力するものに関するものである。

10 【0002】

【従来の技術】従来、オーディオ信号を増幅するためのアンプ装置では、ボリュームによってアナログ信号のみのレベル値を変化させ、出力音量を変化させていた。

【0003】また、近年、小型、大出力及び高 S/N を実現した音響信号の高効率電力増幅器の信号処理方法として、デルタシグマ変調を応用したデジタルスイッチングアンプが提供されている。

【0004】このデジタルスイッチングアンプでは、
20 入力アナログ信号をデルタシグマ変調することによりパルス密度変調 (PDM: Pulse Density Modulation) 信号を得て、キャリア信号をエネルギー拡散させ、これによって、簡単な構成で効率良く電力増幅することができる。

【0005】この種のデジタルスイッチングアンプとして、本願出願人は、既に、特願平 10-368026 号において、電力増幅部に加える定電圧の電圧値を変化させても、安定したデルタシグマ変調を行うことができ、電力増幅部に加える定電圧の電圧値を変化させて、再生音量を変化させることができるデジタルスイッチングアンプを提案している。

【0006】このデジタルスイッチングアンプでは、
図 7 に示すように、電源電圧を制御してパルス増幅器の増幅度を変化させている。

【0007】すなわち、このデルタシグマ変調を応用したデジタルスイッチングアンプ 70 は、差分器 80 と、積分器・加算器群 72 と、量子化器 73 と、パルス増幅器 74 と、可変電圧電源 75 と、減衰器 76 と、電圧値制御部 77 とを備えて構成されている。なお、積分器・加算器群 72 と、量子化器 73 とからデルタシグマ変調部 AD1 が構成されている。

40 【0008】上記差分器 80 は、入力端子 71 に入力されたオーディオ信号等の入力信号 S71 と、パルス増幅器 74 から減衰器 76 を経て帰還ループ 78 によって負帰還する帰還信号 S76 とを入力信号として、これら二つの信号の差分値を求めて、差分信号 S80 を積分器・加算器群 72 へ出力する。

【0009】上記の積分器・加算器群 72 及び量子化器 73 は、入力アナログ信号をデルタシグマ変調する。

50 【0010】上記パルス増幅器 74 は、量子化出力信号 S73 をスイッチング制御信号として高速にスイッチン

(3)

3

グすることにより、可変電圧電源75から供給される可変電圧V”によって、電力増幅する高速スイッチングパルス増幅器である。そして、パルス増幅器74は、得られたパルス増幅信号S74を出力端子79へ出力する。

【0011】ここで、パルス増幅器74は、量子化出力信号S73が「1」のときに、可変電圧電源75から供給される可変電圧V”によって電力増幅する。

【0012】上記減衰器76は、直列に接続された抵抗76pと可変抵抗76vとからなっており、帰還ループ78上に設けられている。上記抵抗76pは、一端が帰還ループ78の入力側（パルス増幅器74の出力端）に導通しており、他端が可変抵抗76vと接続されている。上記可変抵抗76vは、電圧値制御部77からの制御信号S77に基づいて抵抗値が変更可能な可変抵抗であり、抵抗76pと接続された一端の反対端が接地されている。そして、抵抗76pと可変抵抗76vとの連結部位が帰還ループ78の出力側（差分器80の入力端）に導通されている。

【0013】これにより、上記減衰器76は、帰還ループ78上に設けられ、パルス増幅器74から出力されたパルス増幅信号S74を抵抗76p及び可変抵抗76vの抵抗分割により減圧して、帰還信号S76を差分器80へ負帰還する。

【0014】なお、上記の抵抗76pの抵抗値、及び可変抵抗76vの可変抵抗値は、パルス増幅器74における増幅の量すなわち可変電圧V”に応じた減圧比に変更可能に適宜設定される。

【0015】上記可変電圧電源75は、パルス増幅器74に加える可変電圧V”の電圧値を変化させることのできる電源である。そして、上記可変電圧電源75の電圧値は、可変抵抗76vの抵抗値と共に、電圧値制御部77からの制御信号S77に基づいて制御される。

【0016】上記電圧値制御部77は、制御信号S77を可変電圧電源75と減衰器76とに出力し、可変電圧電源75の電圧値と、減衰器76の可変抵抗76vの抵抗値とを外部から同時に制御することができる。

【0017】上記デジタルスイッチングアンプ70では、入力端子71に入力されたオーディオ信号等の入力信号S71と帰還ループ78とによってパルス増幅器74から減衰器76を経て負帰還する帰還信号S76とを入力信号として、差分器80にてこれら二つの信号の差分信号S80を生成する。積分器・加算器群72にてこの差分信号S80を積分した後、加算して、ノイズシェーピングし、量子化器72で加算された差分積分信号の極性を判定して「1」又は「0」の量子化出力信号S73に変換する。続いて、デルタシグマ変調して得られた量子化出力信号S73をスイッチング制御信号として、可変電圧電源75によって可変電圧V”が加えられたパルス増幅器74にて電力増幅し、得られたパルス増幅信号S74を出力端子79へ出力する。

4

【0018】ここで、可変電圧電源75を電圧値制御部77によって制御することにより、パルス増幅器74に供給する可変電圧V”の電圧値を変化させることができる。

【0019】これは、パルス増幅器74において、スイッチングによってパルス増幅された1ビット信号であるパルス増幅信号S74の波高値を変化させることとなり、その結果、再生音量を制御することができる。すなわち、可変電圧V”の電圧値を高くしてパルス増幅信号S74の波高値を上げて大出力とし、可変電圧V”の電圧値を低くしてパルス増幅信号S74の波高値を下げて小出力とすることができる。

【0020】このとき、帰還信号S76はパルス増幅信号S74が減衰器76において抵抗分割で減圧されて生成されるため、帰還信号S76の波高値も当然変化する。

【0021】しかし、帰還ループ78によって負帰還される帰還信号S76の波高値は、デルタシグマ変調部AD1の発信限界に関係しており、波高値が低い程入力信号S71に対する発信限界が低くなる。そこで、デジタルスイッチングアンプ70では、パルス増幅器74に加えられる可変電圧V”の電圧値が変化しても、発信限界を保ち安定したデルタシグマ変調を行えるように、帰還ループ78に加えて、減衰器76が設けられている。

【0022】そして、可変電圧電源75からパルス増幅器74に供給される可変電圧V”の電圧値を制御する電圧値制御部77からの制御信号S77に基づいて、減衰器76の可変抵抗76vの抵抗値を設定制御する。

【0023】これにより、減衰器76は、可変電圧V”の変化に合わせて帰還信号S76の波高値が一定に保たれるように、デルタシグマ変調の発信限界に影響を及ぼさない範囲で、パルス増幅信号S74の減圧比を制御することができる。

【0024】これによって、再生音量を制御するために可変電圧V”の電圧値が変化しても、帰還信号S76の波高値を高く一定に維持することができ、発信限界を保ち安定したデルタシグマ変調を行うことができる。したがって、パルス増幅器74に加える可変電圧V”の電圧値を変化させて、デジタルスイッチングアンプ70の再生音量を変化させることができる。

【0025】以上のように、このデジタルスイッチングアンプ70では、帰還信号S76を減圧するために、抵抗分割を用いた減衰器76を用いる。これにより、ノイズ成分をそのままの形状で負帰還することができるため、パルス増幅器74にかかる定電圧に含まれるリップルや外来ノイズに起因するS/N劣化なしに、量子化出力信号をスイッチング制御信号としてパルス増幅を行うことができる。さらに、パルス増幅器74に供給される電圧が変化する場合は、減衰器76の減圧比を制御して、帰還信号S76の波高値を一定に維持する。これによ

(4)

5

り、パルス増幅器74に供給される電圧が変化しても、発信限界を保ち安定したデルタシグマ変調を行うことができる。

【0026】

【発明が解決しようとする課題】しかしながら、上記従来の1ビットデジタルアンプ装置では、パルス増幅器4へ印加する電圧を可変にして出力を調節しているが、このようにするためには、パルス増幅器への電圧印加が複雑となる。このため、これを防止するため、例えば、本願発明の説明図1に示すように、パルス増幅器4に印加する電圧Vを一定値とした場合には、入力信号に対して出力を調整することができないという問題点を有している。

【0027】本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することにある。

【0028】

【課題を解決するための手段】本発明の1ビットデジタルアンプ装置は、上記課題を解決するために、入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して1ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する1ビットデジタルアンプ装置において、上記入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号を入力する一方、この1ビットデジタル信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴としている。

【0029】上記の発明によれば、入力信号はデルタシグマ変調回路に通すことによりデルタシグマ変調され、これによって、1ビットの量子化出力信号が生成される。次いで、この量子化出力信号はパルス増幅されて出力される。

【0030】ここで、本発明では、入力信号として、1ビットデジタル信号が入力される。そして、この入力された1ビットデジタル信号は、例えば、振幅レベル可変手段にて振幅レベルが変えられた後、デルタシグマ変調されて1ビットの量子化出力信号が生成される。次いで、この量子化出力信号は、例えば一定電圧値を印加したパルス増幅によって出力される。

【0031】この結果、必要なアンプ出力を入力された1ビットデジタル信号の振幅レベルを増減することにより調整することができる。また、振幅レベル可変手段は、パルス増幅する前に設けられるようになっており、このようにパルス増幅する前に設けられていれば、上記と同様の作用効果を奏する。

【0032】したがって、パルス増幅の印加電圧値が一

6

定であっても、入力された1ビットデジタル信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができる。

【0033】また、本発明の1ビットデジタルアンプ装置は、上記課題を解決するために、入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して1ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する1ビットデジタルアンプ装置において、上記入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号とアナログ信号とを並列に同時入力する一方、これら1ビットデジタル信号及びアナログ信号の振幅レベルを共通して同時に可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴としている。

【0034】上記の発明によれば、入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号とアナログ信号とが並列に同時入力される。

【0035】この結果、入力信号として、1ビットデジタル信号とアナログ信号とが並列に同時入力された場合においても、予めデルタシグマ変調された1ビットデジタル信号及びアナログ信号の振幅レベルを調整することができ、簡単な構成で、アンプの出力を調整することが可能となる。

【0036】また、パルス増幅する前に設けられた振幅レベル可変手段は、入力された1ビットデジタル信号及びアナログ信号の振幅レベルを共通して同時に可変する。

【0037】この結果、例えば、1軸のアナログボリュームを使用することにより、1個のつまみで、1ビットデジタル信号とアナログ信号との両方を制御することができる。

【0038】したがって、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号及びアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができる。

【0039】また、本発明の1ビットデジタルアンプ装置は、上記課題を解決するために、入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して1ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する1ビットデジタルアンプ装置において、上記入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に入力される一方、これら各第1断接手段を介して入力された1ビットデジタル信号及

(5)

7

び／又はアナログ信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられていることを特徴としている。

【0040】上記の発明によれば、例えばパルス密度変調（PDM）信号やパルス幅変調（PWM）信号等の1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に輸入される。

【0041】この結果、1ビットデジタル信号とアナログ信号とのいずれか一方を各第1断接手段にて接続することにより、両者が互いに影響しないようにして1ビットデジタル信号又はアナログ信号を輸入させることができる。

【0042】これによって、1ビットデジタル信号又はアナログ信号を輸入したときには、1ビットデジタル信号とアナログ信号との混変調を防止することができる。

【0043】一方、1ビットデジタル信号とアナログ信号との両方を各第1断接手段にて接続することにより、1ビットデジタル信号とアナログ信号とを同時に輸入させることができる。

【0044】この結果、1ビットデジタル信号及びアナログ信号が同時に輸入された場合に、各第1断接手段によって、両者共に輸入させるか又はいずれか一方を輸入するかを選択することができる。

【0045】また、これら各第1断接手段を介して輸入された1ビットデジタル信号及び／又はアナログ信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられている。

【0046】したがって、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号とアナログ信号とのいずれか一方を輸入させたときには、両者の干渉及び混変調を防止して、入力された1ビットデジタル信号又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができる。

【0047】また、本発明の1ビットデジタルアンプ装置は、上記課題を解決するために、前記発明の1ビットデジタルアンプ装置において、前記各第1断接手段を介して輸入された1ビットデジタル信号及び／又はアナログ信号は、切替手段を介して振幅レベル可変手段にいずれか一方が輸入されることを特徴としている。

【0048】すなわち、入力信号として、例えばパルス密度変調（PDM）信号やパルス幅変調（PWM）信号等の1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に輸入され、これら各第1断接手段を介して輸入された1ビットデジタル信号及び／又はアナログ信号が直接振幅レベル可変手段に輸入された場合には、1ビットデジタル信号及びアナログ信号を断接して切り替えたときに、その切り替えによりノイズが発生するおそれがある。

8

【0049】しかし、本発明によれば、各第1断接手段を介して輸入された1ビットデジタル信号及び／又はアナログ信号は、切替手段を介して振幅レベル可変手段に輸入される。その後、1ビットデジタル信号又はアナログ信号のいずれかの振幅レベルが可変される。

【0050】したがって、1ビットデジタル信号とアナログ信号との入力を切り替えたときにおいても、その影響は、切替手段によって遮断される。このため、確実に1ビットデジタル信号又はアナログ信号のいずれかに接続された状態にて切替手段をいずれかに接続状態とすることにより、1ビットデジタル信号とアナログ信号との間の切り替え時のノイズの発生を確実に防止することができる。

【0051】この結果、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号及びアナログ信号が同時に輸入された場合に、両者の干渉及び混変調を確実に防止して、入力された1ビットデジタル信号又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができる。

【0052】また、本発明の1ビットデジタルアンプ装置は、上記課題を解決するために、入力信号をデルタシグマ変調回路に通すことによりデルタシグマ変調して1ビットの量子化出力信号を生成し、この量子化出力信号をパルス増幅する1ビットデジタルアンプ装置において、上記入力信号として、例えばパルス密度変調（PDM）信号やパルス幅変調（PWM）信号等の1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に輸入される一方、これら各第1断接手段を介して輸入された1ビットデジタル信号又はアナログ信号は、さらにそれぞれに設けた第2断接手段を介して各専用の振幅レベル可変手段に輸入され、かつ振幅レベルが可変された1ビットデジタル信号及び／又はアナログ信号は、1ビットデジタル信号専用の入力端子又はアナログ信号専用の入力端子に輸入されて各々独自にデルタシグマ変調されることを特徴としている。

【0053】上記の発明によれば、入力信号として、例えばパルス密度変調（PDM）信号やパルス幅変調（PWM）信号等の1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に輸入される。また、これら各第1断接手段を介して輸入された1ビットデジタル信号又はアナログ信号は、さらにそれぞれに設けた第2断接手段を介して各専用の振幅レベル可変手段に輸入される。さらに、振幅レベルが可変された1ビットデジタル信号及び／又はアナログ信号は、1ビットデジタル信号専用の入力端子又はアナログ信号専用の入力端子に輸入されて各々独自にデルタシグマ変調される。

【0054】したがって、1ビットデジタル信号とア

9

ナログ信号との間の切り替え時のノイズの発生を確実に防止することができると共に、各々独自にデルタシグマ変調されるので、さらに1ビットデジタル信号とアナログ信号との間の混変調を防止することができる。

【0055】このため、1ビットデジタル信号とアナログ信号との入力信号が相互に全く影響を受けず、不純物の混じらない純粋音を音量調節して出力することができる。

【0056】この結果、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、両者の干渉及び混変調をさらに確実に防止して、入力された1ビットデジタル信号及び／又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができる。

【0057】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1及び図2に基づいて説明すれば、以下の通りである。

【0058】本実施の形態の1ビットデジタルアンプ装置10は、図1に示すように、1ビットデジタル信号入力端子11と、振幅レベル可変手段としての振幅レベル可変部12と、振幅調整信号入力端子1と、差分器2と、差分積分器3a及び1ビット量子化器3bからなるデルタシグマ変調部3と、パルス増幅器4と、ローパスフィルタ8と、出力端子9とを備えている。

【0059】また、1ビットデジタルアンプ装置10には、上記パルス増幅器4から出力されたパルス増幅信号S4を上記差分積分器3aの入力信号として負帰還させるために、減衰器5と遅延器6とクロック発振器7とからなる帰還回路FCが設けられている。すなわち、上記の差分積分器3a及び1ビット量子化器3bからなるデルタシグマ変調部3が、帰還回路FCを備えることによってデルタシグマ変調回路が構成されている。

【0060】上記の振幅調整信号入力端子1は、入力された信号をデルタシグマ変調して出力するためにその信号が入力される端子であり、信号をデルタシグマ変調回路へ入力するためのものである。

【0061】上記差分器2は、振幅調整信号入力端子1に入力された振幅レベル調整信号S1と、パルス増幅器4から帰還回路FCによって減衰器5、遅延器6及びクロック発振器7を経て負帰還される帰還信号S6とを入力信号として、これら二つの信号の差分値を求めて、差分信号S2を差分積分器3aへ出力する。

【0062】上記の差分積分器3aは、高次の積分器群であり、上記差分器2から出力された差分信号S2を積分して、差分積分信号S3aを1ビット量子化器3bへ出力する。上記1ビット量子化器3bは、差分積分器3aから入力された差分積分信号S3aの極性を判定して、1ビットのデジタル信号つまり2値の量子化出力

(6)

10

信号S3に変換し、デルタシグマ変調部3の出力信号としてパルス増幅器4へ出力する。なお、本実施の形態の1ビットデジタルアンプ装置10は、1ビット量子化器3bの代わりに3値量子化器を設けて、3値量子化を行うように構成することも可能である。また、量子化出力信号S3の量子化閾値は、最適に設定されている。

【0063】上記パルス増幅器4は、デルタシグマ変調部3から出力された量子化出力信号S3をスイッチング制御信号として高速にスイッチングすることにより、図示しない電圧値供給部から供給される定電圧+V又は定電圧-Vによって電力増幅する高速スイッチングパルス増幅器である。この電圧値供給部から供給される定電圧+V又は定電圧-Vは、一定電圧である。ただし、必ずしもこれに限らず、電圧値供給部から供給される電圧を可変とすることは本願発明において可能である。

【0064】次いで、得られたスイッチング信号であるパルス増幅信号S4は、上記ローパスフィルタ8に入力されると共に、帰還回路FC上の減衰器5にも入力される。

【0065】なお、本実施の形態では、通常時又は無信号時の2段階に対して定電圧+V又は定電圧-Vを設定したが、このような2段階の設定でも十分に効率の良いスイッチングが可能となる。尤も、定電圧Vにさらに多くの段階を設定して、より効率の良いスイッチングを実現することも可能である。

【0066】上記ローパスフィルタ8は、パルス増幅器4から出力されたパルス増幅信号S4から不要な信号成分を除去し、得られた出力信号S8を出力端子9へ出力するフィルタである。ローパスフィルタ8は、例えばコイルやコンデンサ等から構成されている。また、出力端子9から出力された出力信号S8は、図示しないスピーカ等の音声信号出力部をさらに備えることにより、音声を出力することができる。したがって、本実施の形態の1ビットデジタルアンプ装置10は、このようなスピーカ等の音声信号出力部をさらに備えたオーディオ信号再生装置に適用することができる。

【0067】一方、上記減衰器5は、帰還回路FC上に設けられ、パルス増幅器4から出力されたパルス増幅信号S4の振幅を減衰して帰還信号S5を生成する。すなわち、パルス増幅器4から出力されるパルス増幅信号S4は、定電圧Vによって増幅された信号であるので、そのままの大きさに差分器2に戻すと、振幅レベル調整信号S1とのバランスが合わない。そこで、減衰器5は、差分器2における振幅レベル調整信号S1とのバランスを合わせるためにこの帰還回路FC上に設けられている。

【0068】減衰器5から出力された帰還信号S5は、遅延器6に入力される。この遅延器6では、差分器2への位相を合わせるためにクロック発振器7からのクロックに基づいてパルス増幅信号S4の位相を遅延させ、遅

(7)

11

延信号として帰還信号S 6を出力する。したがって、帰還信号S 6は差分積分器3 aへの入力信号としてタイミングを合わせて差分器2へ負帰還される。

【0069】ここで、本実施の形態の1ビットデジタルアンプ装置10では、1ビットデジタル信号入力端子11に入力された1ビットデジタル信号S 0は、振幅レベル可変部12にて振幅レベルが調整されるようになっている。したがって、振幅レベルの調整された振幅レベル調整信号S 1が振幅調整信号入力端子1に入力され、デルタシグマ変調された後に出力されるようになっている。

【0070】すなわち、本実施の形態では、振幅調整信号入力端子1に入力するまでに1ビットデジタル信号S 11の振幅レベルを変更することにより、入力ボリュームを変更し、その結果、再生音量を変化するものとなっている。

【0071】上記の振幅レベル可変部12は、可変抵抗器からなるレベルコントロール装置VR 1からなっており、1ビットデジタル信号S 0をアナログ的にその振幅レベルを変更できるようになっている。

【0072】上記構成の1ビットデジタルアンプ装置10について、動作を説明すると以下の通りである。

【0073】上記1ビットデジタルアンプ装置10では、1ビットデジタル信号が1ビットデジタル信号入力端子11に入力される。この1ビットデジタル信号は、例えば、アナログ信号をデルタシグマ変調して得られたパルス密度変調(PDM:Pulse Density Modulation)信号やパルス幅変調(PDM:Pulse Wide Modulation)信号等である。

【0074】この1ビットデジタル信号入力端子11に11 入力された1ビットデジタル信号S 0は、振幅レベル可変部12にて振幅レベルが調整され、振幅レベル調整信号S 1となる。

【0075】この振幅レベル調整信号S 1は、振幅調整信号入力端子1を介して差分器2に12 入力される。そして、差分器2では、この振幅レベル調整信号S 1と、帰還回路FCによって減衰器5及び遅延器6を経て負帰還された帰還信号S 5・S 6との差分信号S 2を生成する。

【0076】次いで、差分積分器3 aによって差分信号S 2を積分して差分積分信号S 3 aを生成し、1ビット量子化器3 bによってこの差分積分信号S 3 aをデジタル信号である量子化出力信号S 3に変換する。さらに、パルス増幅器4によって、量子化出力信号S 3を定電圧+V又は定電圧-Vを用いてパルス増幅してパルス増幅信号S 4を生成する。最後に、ローパスフィルタ8によって、パルス増幅信号S 4から不要な信号成分を除去して、出力信号S 8を出力端子9へ出力する。

【0077】次に、パルス増幅器4及び減衰器5の連動制御について説明する。

12

【0078】デルタシグマ変調部3から出力される量子化出力信号S 3は2値量子化又は3値量子化のいずれの場合でも1ビット出力であるため、振幅レベル調整信号S 1の大小にかかわらず、量子化出力信号S 3の振幅は一定である。その結果、パルス増幅器4で増幅されて出力されるパルス増幅信号S 4の出力レベルは定電圧+V又は定電圧-Vにのみ依存することになり、振幅レベル調整信号S 1の大小にかかわらず一定となる。逆に、振幅レベル調整信号S 1の入力レベルが一定であっても、パルス増幅器4に供給する定電圧+V又は定電圧-Vの電圧値を変えることによって、パルス増幅信号S 4の出力レベルを変化させることができる。

【0079】一方、フィードバックされる帰還信号S 5・S 6の振幅は振幅レベル調整信号S 1との関係で決定されるため、帰還信号S 5・S 6の振幅が大きいと発振限界値が変化10 する。したがって、パルス増幅器4に供給する定電圧+V又は定電圧-Vによって量子化出力信号S 3がパルス増幅した場合には、これを元に戻すため、帰還信号S 6の振幅が振幅レベル調整信号S 1との関係で適切になるように調整する必要がある。

【0080】よって、減衰器5の減衰量を予め一定に設定しておくことで、最も電力効率が良くS/N比のとれる値に制御することができる。

【0081】次に、本実施の形態の1ビットデジタルアンプ装置10の1ビットデジタル信号入力端子11に、何故、1ビットデジタル信号S 1が11 入力されるかについて説明する。

【0082】まず、上述したように、この1ビットデジタル信号入力端子11に12 入力される1ビットデジタル信号S 0は、主としてPDM信号である。すなわち、PDM信号をパルス増幅し、ローパスフィルタ8を通してスピーカ出力すれば音声信号として再生することができる。したがって、本実施の形態のデルタシグマ変調回路は、一見、不要ということになる。

【0083】しかしながら、それでも何故、デルタシグマ変調部3が存在するかというと、このデルタシグマ変調回路を通さずに直接パルス増幅器4から出力すると、パルス増幅器4によって生じる波形乱れつまり波形なまりが、直接、再生されてしまうことになる。ここで上記波形なまりとは、図2に示すように、波形の立ち上がり及び立ち上がりが鈍化することをいう。

【0084】このため、この波形なまりを取るために、パルス増幅器4からのパルス増幅信号S 4を負帰還させる必要がある。すなわち、デルタシグマ変調回路を設け、パルス増幅器4をデルタシグマ変調回路の一部とし、パルス増幅器4の出力信号であるパルス増幅信号S 4を13 帰還させるものである。

【0085】この作用を、さらに詳述する。

【0086】まず、パルス増幅器4によって生じた波形なまりは高周波的なものが多く、デルタシグマ変調部3 50

(8)

13

の作用であるノイズシェーピング作用によってノイズシェーブされ波形なまりは消滅するように作用する。

【0087】また、パルス増幅器4に供給する図示しない電源部のトランスレギュレーション特性による波高値の変動に対しても、次のように作用する。すなわち、パルス増幅器4への供給電圧が小さくなるとフィードバック量も小さくなる。したがって、PDM信号のパルス数は増大する方向に作用する。逆に、供給電圧が大きくなるとフィードバック量は大きくなりパルス数は減少する方向に作用する。つまり、電源電圧の変動に対してこの変動を打ち消すように作動する。したがって、定電圧を強固に維持するために図示しない電源電圧部に余分なコストをかける必要はなくなる。

【0088】さらに、パルス増幅器4によって生じた波形なまりの時系列方向の成分つまりジッター的なものは、1ビット量子化器3bがクロックによって動作するので、この波形なまりがクロック範囲内にあれば吸収される。なお、最近のデルタシグマ変調部3では、1ビット量子化器3bの前段に設けられる差分積分器3aの多くはスイッチドキャパシタによって作動されるものが多い。これらの多くは1ビット量子化器3bのクロックと差分積分器3aのクロックとを共有して動作させている。したがって、この場合は差分積分器3aの作動時に波形なまりを吸収することになる。

【0089】この結果、本実施の形態のデルタシグマ変調回路は、パルス増幅器4から生じる波形なまりを減少させ得るものとなっている。

【0090】なお、本実施の形態では、1ビットデジタル信号S0の振幅を可変にし、それを再生装置としてのボリューム機能とし、その振幅レベル調整信号S1を直接デルタシグマ変調回路に入力しているが、必ずしもこれに限らず、例えば、1ビットデジタル信号S0をローパスフィルタに通し、そのローパスフィルタの出力信号の振幅レベルを変化させてデルタシグマ変調部3に入力させても良い。さらに、1ビット量子化器3bの出力である量子化出力信号S3の振幅レベルを変化させた後、ローパスフィルタを介してデルタシグマ変調部3に入力させても良い。

【0091】すなわち、これらはオーディオ信号化したものを振幅変化させるか、PDM信号そのものを変化させるかの違いがあるだけである。詳述すると、オーディオ信号化された信号を入力すると、従来のデルタシグマ変調部と同じ動作をする。つまり、量子化出力信号S3を増幅することが、従来と同じ動作ということになる。

【0092】一方、1ビットデジタル信号S0を入力する場合、入力信号はクロックに応じてサンプリングされるので、1ビットデジタル信号S0のクロックと該サンプリング用のクロックとを合致させておくことによって、全ての1ビットデジタル信号S0をサンプリングすることができ、デルタシグマ変調部3として差動す

14

る。

【0093】ここで、本実施の形態において、入力信号つまり1ビットデジタル信号S0の振幅レベルを可変にするということは、この信号は、厳密にいうとアナログ信号に他ならない。つまり、デジタル情報を伝達するパルス波形状のアナログ信号である。しかしながら、1ビットデジタル信号S0という表現をしないと、混乱を招くおそれがある。このため、敢えて、1ビットデジタル信号S0として「デジタル」という言葉を使用している。また、入力信号のクロックとサンプリング信号とを合わす点でもアナログとはいえ非常にデジタル的な信号である。

【0094】このように、本実施の形態の1ビットデジタルアンプ装置10では、入力信号はデルタシグマ変調回路に通すことによりデルタシグマ変調され、これによって、1ビットの量子化出力信号S3が生成される。次いで、この量子化出力信号S3はパルス増幅されて出力される。

【0095】ここで、本実施の形態では、入力信号として、1ビットデジタル信号S0が入力される。そして、この入力された1ビットデジタル信号S0は、振幅レベル可変部12にて振幅レベルが変えられた後、デルタシグマ変調部3にてデルタシグマ変調されて1ビットの量子化出力信号S3が生成される。次いで、この量子化出力信号S3は、一定電圧値+Vを印加したパルス増幅器4によるパルス増幅によって出力される。

【0096】この結果、必要なアンプ出力を1ビットデジタル信号S0の振幅レベルを増減することにより調整することができる。また、振幅レベル可変部12は、パルス増幅する前に設けられるようになっている。このようにパルス増幅する前に設けられていれば、例えば、パルス増幅器4の手前に設けられていても上記と同様の作用効果を奏する。

【0097】したがって、パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置10を提供することができる。

【0098】〔実施の形態2〕本発明の他の実施の形態について図3に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0099】本実施の形態の1ビットデジタルアンプ装置20では、図3に示すように、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号S0とアナログ信号S21とが同時に入力されるようになっている。

【0100】そして、これら1ビットデジタル信号S0及びアナログ信号S21は同時に振幅レベルが調整さ

(9)

15

れて振幅調整信号入力端子1に入力されるようになって
いる。

【0101】すなわち、本実施の形態では、1ビットディ
ジタル信号S0は、1ビットディジタル信号入力端子
11から入力されて、振幅レベル可変部12を介して振
幅調整信号入力端子1に入力される。一方、このとき同
時に、アナログ信号S21がアナログ信号入力端子21
から入力されて、振幅レベル可変部22を介して上記振
幅調整信号入力端子1に入力される。

【0102】また、上記振幅レベル可変部22は、レベ
ルコントロール装置VR2にて構成されている。

【0103】すなわち、本実施の形態では、予めデルタ
シグマ変調された1ビットディジタル信号S0を1ビッ
トディジタル信号入力端子11から入力するが、その1
ビットディジタル信号入力端子11と振幅調整信号入力
端子1との間に、振幅レベル可変部12を設けて入力さ
れたデルタシグマ変調された1ビットディジタル信号S
0の振幅レベルを変化させる。

【0104】一方、同時に、アナログ信号をアナログ入
力端子21から入力するが、そのアナログ入力端子21
と振幅調整信号入力端子1との間に、振幅レベル可変部
22を設けて入力されたアナログ信号のレベルを変化さ
せる。

【0105】これにより、1ビットディジタル信号S0
とアナログ信号S21とが同時に入力した場合におい
て、1ビットディジタル信号S0とアナログ信号S21
との両信号のレベルを変化させ、これによって、出力端
子9から出力される出力信号の大きさをコントロールす
ることができる。

【0106】ここで、本実施の形態では、特に、上記振
幅レベル可変部12と振幅レベル可変部22とについ
て、アナログボリュームの同軸タイプのレベルコントロ
ール装置VR1・VR2にて構成している。このため、
レベルコントロール装置VR1・VR2は連動してお
り、1ビットディジタル信号S0とアナログ信号S21
とを同時に振幅レベルコントロールできるようになって
いる。

【0107】したがって、入力されたデルタシグマ変調
された1ビットディジタル信号S0と入力されたアナロ
グ入力信号S21との両方のレベルコントロールがで
き、かつ、1個のつまみで、デルタシグマ変調された1
ビットディジタル信号S0に対する出力端子9からの出
力音量とアナログ信号S21に対する出力端子9からの
出力音量とを同時に変化させることができる。このた
め、共通化を図ることが可能となっている。

【0108】このように、本実施の形態の1ビットディ
ジタルアンプ装置20では、入力信号として、例えばパ
ルス密度変調(PDM)信号やパルス幅変調(PWM)
信号等の1ビットディジタル信号S0とアナログ信号S
21とが並列に同時入力される。

16

【0109】この結果、入力信号として、1ビットディ
ジタル信号S0とアナログ信号S21とが並列に同時入
力された場合においても、予めデルタシグマ変調された
1ビットディジタル信号S0及びアナログ信号S21の
振幅レベルを調整することができ、簡単な構成で、アン
プの出力を調整することが可能となる。

【0110】また、パルス増幅する前に設けられた振幅
レベル可変部12及び振幅レベル可変部22は、入力さ
れた1ビットディジタル信号S0及びアナログ信号S2
1の振幅レベルを共通して同時に可変する。

【0111】この結果、例えば、1軸のアナログボリュ
ームを使用することにより、1個のつまみで、1ビット
ディジタル信号S0とアナログ信号S21との両方を制
御することができる。

【0112】したがって、1ビットディジタル信号S0
及びアナログ信号S21が同時に入力された場合に、パ
ルス増幅の印加電圧値Vが一定であっても、入力された
1ビットディジタル信号S0及びアナログ信号S21に
対して簡単な構成にて振幅レベルを増減してアンプ出力
を調整し得る1ビットディジタルアンプ装置20を提供
することができる。

【0113】〔実施の形態3〕本発明の他の実施の形態
について図4に基づいて説明すれば、以下の通りであ
る。なお、説明の便宜上、前記の実施の形態1及び実施
の形態2の図面に示した部材と同一の機能を有する部材
については、同一の符号を付し、その説明を省略する。

【0114】本実施の形態の1ビットディジタルアンプ
装置30は、図4に示すように、入力信号として、例え
ばパルス密度変調(PDM)信号やパルス幅変調(PW
M)信号等の1ビットディジタル信号S0とアナログ信
号S21とがそれぞれの第1断接手段としての切り替え
スイッチSW1・SW2を介して断接可能に入力され
る。また、これら各切り替えスイッチSW1・SW2を
介して入力された1ビットディジタル信号S0及び/又
はアナログ信号S21の振幅レベルを可変する1個の振
幅レベル可変手段としての振幅レベル可変部32がパル
ス増幅する前に設けられている。

【0115】すなわち、各切り替えスイッチSW1・S
W2は、両方をONすることによって、1ビットディ
ジタル信号S0とアナログ信号S21との両方を振幅レ
ベル可変部32に導くことができる。一方、各切り替え
スイッチSW1・SW2は、いずれか一方をONすること
によって、1ビットディジタル信号S0又はアナログ信
号S21とのいずれか一方を振幅レベル可変部32に導
くことができる。

【0116】上記構成の1ビットディジタルアンプ装置
30では、予めデルタシグマ変調された1ビットディ
ジタル信号S0は、1ビットディジタル信号入力端子11
から入力するが、その1ビットディジタル信号入力端子
11と振幅調整信号入力端子1との間に、切り替えを行

50

(10)

17

う切り替えスイッチSW1とレベルコントロール装置VR3からなる振幅レベル可変部32とを設ける。そして、1ビットデジタル信号入力端子11から入力された1ビットデジタル信号S0の振幅レベルを変化させることにより、振幅調整信号入力端子1へ入力させる1ビットデジタル信号S0を変化させる。

【0117】一方、アナログ信号S21の場合は、アナログ信号入力端子21から入力するが、そのアナログ信号入力端子21と1ビットデジタル信号入力端子11との間に、切り替えを行う切り替えスイッチSW2と振幅レベル可変手段としての振幅レベル可変部32であるレベルコントロール装置VR3を設ける。そして、アナログ信号入力端子21から入力されたアナログ信号S21の振幅レベルを変化させることにより、振幅調整信号入力端子1へ入力させるアナログ信号S21を変化させる。

【0118】これによって、出力端子9から出てくる出力信号の大きさをコントロールすることができる。

【0119】一方、切り替えスイッチSW1・SW2の両方をONした場合には、前記実施の形態2で示したように、振幅レベル可変部32にて1ビットデジタル信号S0とアナログ信号S21との両方を振幅レベルコントロールすることにより、1ビットデジタル信号S0とアナログ信号S21との両方を変化させることができる。

【0120】また、切り替えスイッチSW1・SW2を設けることにより、デルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とが混ざることによる混変調歪の発生を防止することができる。さらに、構成が簡単であるので、安価なレベルコントロール回路を構成することができる。

【0121】このように、本実施の形態の1ビットデジタルアンプ装置30では、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号S0とアナログ信号S21とがそれぞれの切り替えスイッチSW1・SW2を介して断接可能に入力される。

【0122】この結果、1ビットデジタル信号S0とアナログ信号S21とのいずれか一方を各切り替えスイッチSW1・SW2にて接続することにより、両者が互いに影響しないようにして1ビットデジタル信号S0又はアナログ信号S21を入力させることができる。

【0123】これによって、1ビットデジタル信号S0又はアナログ信号S21を入力したときには、1ビットデジタル信号S0とアナログ信号S21との混変調を防止することができる。

【0124】一方、1ビットデジタル信号S0とアナログ信号S21との両方を各切り替えスイッチSW1・SW2にてONして接続することにより、1ビットデジタル信号S0とアナログ信号S21とを同時に入力さ

18

せることも可能である。

【0125】この結果、1ビットデジタル信号S0及びアナログ信号S21が同時に入力された場合に、切り替えスイッチSW1・SW2によって、両者共に入力させるか又はいずれか一方を入力するかを選択することができる。

【0126】また、これら各切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0及び／又はアナログ信号S21の振幅レベルを可変する振幅レベル可変部32がパルス増幅する前に設けられている。

【0127】したがって、パルス増幅の印加電圧値Vが一定であっても、1ビットデジタル信号S0とアナログ信号S21とのいずれか一方を入力させたときには、両者の干渉及び混変調を防止して、入力された1ビットデジタル信号S0又はアナログ信号S21に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置30を提供することができる。

【0128】〔実施の形態4〕本発明の他の実施の形態について図5に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1ないし実施の形態3の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0129】本実施の形態の1ビットデジタルアンプ装置40では、図5に示すように、前記実施の形態3における1ビットデジタルアンプ装置30に対して、各第1断接手段としての切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0及び／又はアナログ信号S21は、切替手段としての切り分けスイッチSW3を介して振幅レベル可変部32にいずれか一方が入力されるようになっている。

【0130】すなわち、前記1ビットデジタルアンプ装置30における切り替えスイッチSW1・SW2と振幅レベル可変部32との間に、切り分けスイッチSW3を設けている。

【0131】すなわち、デルタシグマ変調された1ビットデジタル信号S0は、1ビットデジタル信号入力端子11から入力するが、その1ビットデジタル信号入力端子11と振幅調整信号入力端子1との間に、切り分けを行う切り分けスイッチSW3と振幅レベル可変部32とを設け、入力された1ビットデジタル信号S0の振幅レベルを変化させることにより、振幅調整信号入力端子1へ入力させる1ビットデジタル信号S0の振幅レベルを変化させる。

【0132】一方、アナログ信号S21はアナログ信号入力端子21から入力するが、そのアナログ信号入力端子21と振幅調整信号入力端子1との間に、切り分けを行う上記切り分けスイッチSW3と振幅レベル可変部3

(11)

19

2とを設け、入力されたアナログ信号S21の振幅レベルを変化させることにより、振幅調整信号入力端子1へ入力させるアナログ信号S21の振幅レベルを変化させる。

【0133】これによって、結果的に、出力端子9からの出力信号の大きさをコントロールすることができる。

【0134】また、1ビットデジタル信号S0とアナログ信号S21とに対して同じ振幅レベル可変部32にて1ビットデジタル信号S0とアナログ信号S21とのレベルコントロールを行うことにより、1個又は1組のつまみにて、入力された1ビットデジタル信号S0の出力音量と入力されたアナログ信号S21の出力音量とを変化させることができる。

【0135】さらに、切り替えスイッチSW1・SW2を設けることにより、予めデルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とが、配線路において混じることを防止することができる。

【0136】また、切り替えスイッチSW1・SW2の各々を断接するときに、切り分けスイッチSW3を切っておくことにより、つまりいずれにも接続しない状態にしておくことにより、切り替えスイッチSW1・SW2による切り替え時のノイズ発生を防止することができる。

【0137】以上のように、入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の予めデルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とがそれぞれの切り替えスイッチSW1・SW2を介して断接可能に輸入され、これら各切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0及び／又はアナログ信号S21が直接振幅レベル可変部32に輸入された場合には、1ビットデジタル信号S0及びアナログ信号S21を断接して切り替えたときに、その切り替えによりノイズが発生するおそれがある。

【0138】しかし、本実施の形態の1ビットデジタルアンプ装置40では、各切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0及び／又はアナログ信号S21は、切り分けスイッチSW3を介して振幅レベル可変部32に輸入される。その後、1ビットデジタル信号S0又はアナログ信号S21のいずれかの振幅レベルが可変される。

【0139】したがって、1ビットデジタル信号S0とアナログ信号S21との入力を切り替えたときにおいても、その影響は、切り分けスイッチSW3によって遮断される。したがって、確実に1ビットデジタル信号S0又はアナログ信号S21のいずれかに接続された状態にて切り分けスイッチSW3をいずれかに接続状態とすることにより、1ビットデジタル信号S0とアナログ信号S21との間の切り替え時のノイズの発生を確実に防止することができる。

20

【0140】この結果、パルス増幅の印加電圧値Vが一定であっても、1ビットデジタル信号S0及びアナログ信号S21が同時に入力された場合に、両者の干渉及び混変調を確実に防止して、入力された1ビットデジタル信号S0又はアナログ信号S21に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置40を提供することができる。

【0141】〔実施の形態5〕本発明の他の実施の形態について図6に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1ないし実施の形態4の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0142】本実施の形態の1ビットデジタルアンプ装置50では、図6に示すように、入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の予めデルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とがそれぞれの第1断接手段としての切り替えスイッチSW1・SW2を介して断接可能に輸入される。また、これら各切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0又はアナログ信号S21は、さらにそれぞれに設けた第2断接手段としての切り替えスイッチSW4・SW5を介して各専用の振幅レベル可変手段としての振幅レベル可変部42・52に輸入され、かつ振幅レベルが可変された1ビットデジタル信号S0及び／又はアナログ信号S21は、1ビットデジタル信号専用の入力端子としての1ビットデジタル信号入力端子41又はアナログ信号専用の入力端子としてのアナログ信号入力端子51に輸入され、さらに、それぞれ独自の差分器43及び差分器53を介してデルタシグマ変調部3における差分積分器3aに輸入されて各々独自にデルタシグマ変調されるようになっている。

【0143】すなわち、デルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とに対して互いの入力が影響しないように、それぞれ独自の切り替えスイッチSW1・SW4又は切り替えスイッチSW2・SW5と、独自の振幅レベル可変部42又は振幅レベル可変部52と、独自の1ビットデジタル信号入力端子41又はアナログ信号入力端子51と、独自の差分器43又は差分器53とを備えている。

【0144】これにより、予めデルタシグマ変調された1ビットデジタル信号S0とアナログ信号S21とが、相互に全く影響無く、1個又は1組のつまみによって、出力音量を調整することができる。

【0145】このように、本実施の形態の1ビットデジタルアンプ装置50では、入力信号として、例えばパルス密度変調(PDM)信号やパルス幅変調(PWM)信号等の1ビットデジタル信号S0とアナログ信号S

(12)

21

21とがそれぞれの切り替えスイッチSW1・SW2を介して断接可能に入力される。また、これら各切り替えスイッチSW1・SW2を介して入力された1ビットデジタル信号S0又はアナログ信号S21は、さらにそれぞれに設けた切り替えスイッチSW4・SW5を介して各専用の振幅レベル可変部42・52に入力される。さらに、振幅レベルが可変された1ビットデジタル信号S0及び／又はアナログ信号S21は、1ビットデジタル信号専用の1ビットデジタル信号入力端子41又はアナログ信号専用のアナログ信号入力端子51に入力されて各々独自にデルタシグマ変調される。

【0146】したがって、1ビットデジタル信号S0とアナログ信号S21との間の切り替え時のノイズの発生を確実に防止することができると共に、各々独自にデルタシグマ変調されるので、さらに1ビットデジタル信号S0とアナログ信号S21との間の混変調を防止することができる。

【0147】このため、1ビットデジタル信号S0とアナログ信号S21との入力信号が相互に全く影響を受けず、不純物の混じらない純粋音を音量調節して出力することができる。

【0148】この結果、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号S0及びアナログ信号S21が同時に入力された場合に、両者の干渉及び混変調をさらに確実に防止して、入力された1ビットデジタル信号S0及び／又はアナログ信号S21に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置50を提供することができる。

【0149】

【発明の効果】本発明の1ビットデジタルアンプ装置は、以上のように、入力信号として、1ビットデジタル信号を入力する一方、この1ビットデジタル信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられているものである。

【0150】それゆえ、振幅レベル可変手段によって、必要なアンプ出力を入力された1ビットデジタル信号の振幅レベルを増減することにより調整することができる。

【0151】したがって、パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができるという効果を奏する。

【0152】また、本発明の1ビットデジタルアンプ装置は、以上のように、入力信号として、1ビットデジタル信号とアナログ信号とを並列に同時入力する一方、これら1ビットデジタル信号及びアナログ信号の振幅レベルを共通して同時に可変する振幅レベル可変手段がパルス増幅する前に設けられているものである。

22

【0153】それゆえ、1ビットデジタル信号とアナログ信号とを並列に同時入力するので、入力信号として、1ビットデジタル信号とアナログ信号とが並列に同時入力された場合においても、予めデルタシグマ変調された1ビットデジタル信号及びアナログ信号の振幅レベルを調整することができ、簡単な構成で、アンプの出力を調整することが可能となる。

【0154】また、パルス増幅する前に設けられた振幅レベル可変手段は、入力された1ビットデジタル信号及びアナログ信号の振幅レベルを共通して同時に可変する。

【0155】この結果、例えば、1軸のアナログボリュームを使用することにより、1個のつまみで、1ビットデジタル信号とアナログ信号との両方を制御することができる。

【0156】したがって、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、パルス増幅の印加電圧値が一定であっても、入力された1ビットデジタル信号及びアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができるという効果を奏する。

【0157】また、本発明の1ビットデジタルアンプ装置は、以上のように、入力信号として、1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に入力される一方、これら各第1断接手段を介して入力された1ビットデジタル信号及び／又はアナログ信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられているものである。

【0158】それゆえ、1ビットデジタル信号とアナログ信号とのいずれか一方を各第1断接手段にて接続することにより、両者が互いに影響しないようにして1ビットデジタル信号又はアナログ信号を入力させることができる。

【0159】これによって、1ビットデジタル信号又はアナログ信号を入力したときには、1ビットデジタル信号とアナログ信号との混変調を防止することができる。

【0160】一方、第1断接手段は各々設けられているので、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、各第1断接手段によって、両者共に入力させるか又はいずれか一方を入力するかを選択することができる。

【0161】また、これら各第1断接手段を介して入力された1ビットデジタル信号及び／又はアナログ信号の振幅レベルを可変する振幅レベル可変手段がパルス増幅する前に設けられている。

【0162】したがって、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号とアナログ信号

(13)

23

とのいずれか一方を入力させたときには、両者の干渉及び混変調を防止して、入力された1ビットデジタル信号又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができるという効果を奏する。

【0163】また、本発明の1ビットデジタルアンプ装置は、以上のように、前記発明の1ビットデジタルアンプ装置において、前記各第1断接手段を介して入力された1ビットデジタル信号及び／又はアナログ信号は、切替手段を介して振幅レベル可変手段にいずれか一方が入力されるものである。

【0164】それゆえ、1ビットデジタル信号とアナログ信号との入力を切り替えたときにおいても、その影響は、切替手段によって遮断される。このため、確実に1ビットデジタル信号又はアナログ信号に接続された状態にて切替手段をいずれかに接続状態とすることにより、1ビットデジタル信号とアナログ信号との間の切り替え時のノイズの発生を確実に防止することができる。

【0165】この結果、パルス増幅の印加電圧値が一定であっても、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、両者の干渉及び混変調を確実に防止して、入力された1ビットデジタル信号又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができるという効果を奏する。

【0166】また、本発明の1ビットデジタルアンプ装置は、以上のように、入力信号として、1ビットデジタル信号とアナログ信号とがそれぞれの第1断接手段を介して断接可能に入力される一方、これら各第1断接手段を介して入力された1ビットデジタル信号又はアナログ信号は、さらにそれぞれに設けた第2断接手段を介して各専用の振幅レベル可変手段に入力され、かつ振幅レベルが可変された1ビットデジタル信号及び／又はアナログ信号は、1ビットデジタル信号専用の入力端子又はアナログ信号専用の入力端子に入力されて各々独自にデルタシグマ変調されるものである。

【0167】それゆえ、各第1断接手段、第2断接手段、振幅レベル可変手段及び入力端子が独自に設けられるので、1ビットデジタル信号とアナログ信号との間の切り替え時のノイズの発生を確実に防止できると共に、各々独自にデルタシグマ変調されるので、さらに1ビットデジタル信号とアナログ信号との間の混変調を防止することができる。

【0168】このため、1ビットデジタル信号とアナログ信号との入力信号が相互に全く影響を受けず、不純物の混じらない純粋音を音量調節して出力することができる。

【0169】この結果、パルス増幅の印加電圧値が一定

24

であっても、1ビットデジタル信号及びアナログ信号が同時に入力された場合に、両者の干渉及び混変調をさらに確実に防止して、入力された1ビットデジタル信号及び／又はアナログ信号に対して簡単な構成にて振幅レベルを増減してアンプ出力を調整し得る1ビットデジタルアンプ装置を提供することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明における1ビットデジタルアンプ装置の実施の一形態を示すブロック図である。

【図2】上記1ビットデジタル信号を直接パルス増幅器に入力したときに発生する波形なまりを示す説明図である。

【図3】本発明における1ビットデジタルアンプ装置の他の実施の形態を示すブロック図である。

【図4】本発明における1ビットデジタルアンプ装置のさらに他の実施の形態を示すブロック図である。

【図5】本発明における1ビットデジタルアンプ装置のさらに他の実施の形態を示すブロック図である。

【図6】本発明における1ビットデジタルアンプ装置のさらに他の実施の形態を示すブロック図である。

【図7】従来の1ビットデジタルアンプ装置を示すブロック図である。

【符号の説明】

- | | |
|-----|------------------------------------|
| 1 | 振幅調整信号入力端子 |
| 2 | 差分器 (デルタシグマ変調回路) |
| 3 | デルタシグマ変調部 (デルタシグマ変調回路) |
| 3 a | 差分積分器 |
| 3 b | 1ビット量子化器 |
| 4 | パルス増幅器 (デルタシグマ変調回路) |
| 5 | 減衰器 (デルタシグマ変調回路) |
| 6 | 遅延器 (デルタシグマ変調回路) |
| 7 | クロック発振器 (デルタシグマ変調回路) |
| 8 | ローパスフィルタ |
| 9 | 出力端子 |
| 10 | 1ビットデジタルアンプ装置 |
| 12 | 振幅レベル可変部 (振幅レベル可変手段) |
| 22 | 振幅レベル可変部 (振幅レベル可変手段) |
| 32 | 振幅レベル可変部 (振幅レベル可変手段) |
| 41 | 1ビットデジタル信号入力端子 (1ビットデジタル信号専用の入力端子) |
| 42 | 振幅レベル可変部 (専用の振幅レベル可変手段) |
| 43 | 差分器 |
| 51 | アナログ信号入力端子51 (アナログ信号専用の入力端子) |
| 52 | 振幅レベル可変部 (専用の振幅レベル可変手段) |
| 53 | 差分器 |
| S0 | 1ビットデジタル信号 (入力信号) |

(14)

25

S 3 量子化出力信号

S 4 パルス増幅信号

S 2 1 アナログ信号 (入力信号)

SW 1 切り替えスイッチ (第1断接手段)

26

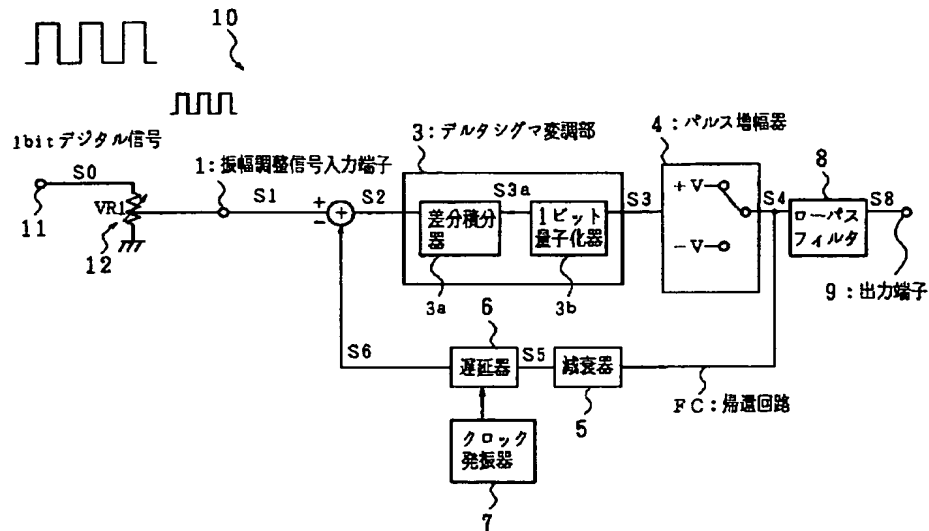
SW 2 切り替えスイッチ (第1断接手段)

SW 3 切り分けスイッチ (切替手段)

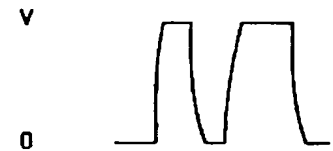
SW 3 切り替えスイッチ (第2断接手段)

SW 4 切り替えスイッチ (第2断接手段)

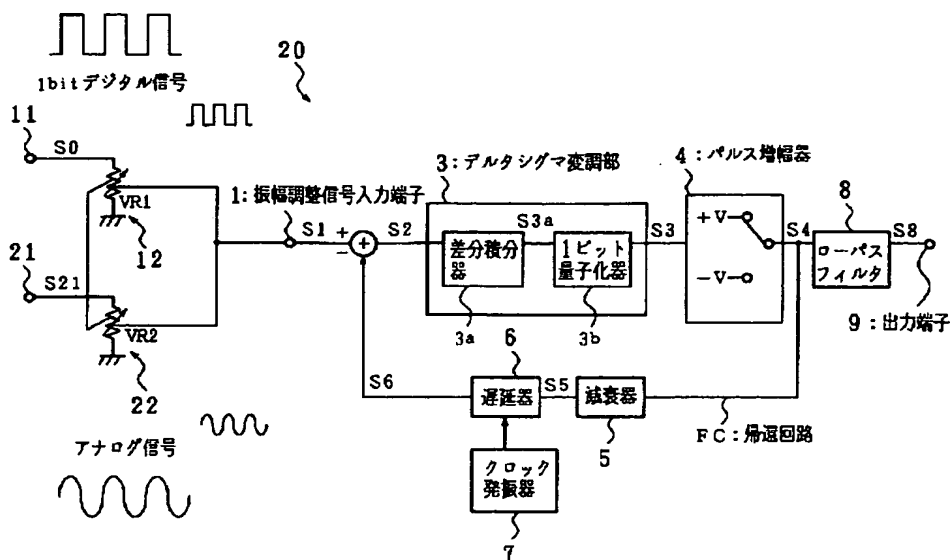
【図1】



【図2】

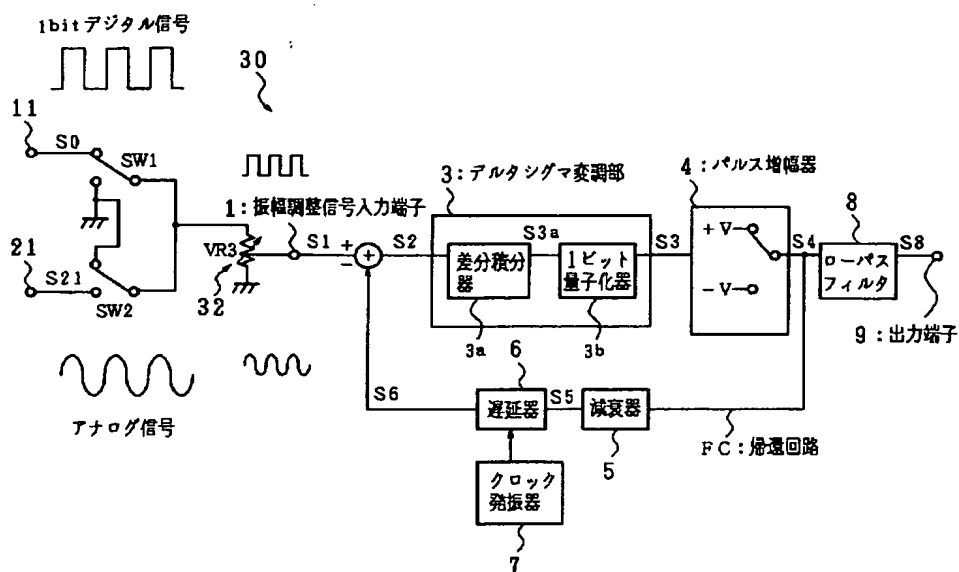


【図3】

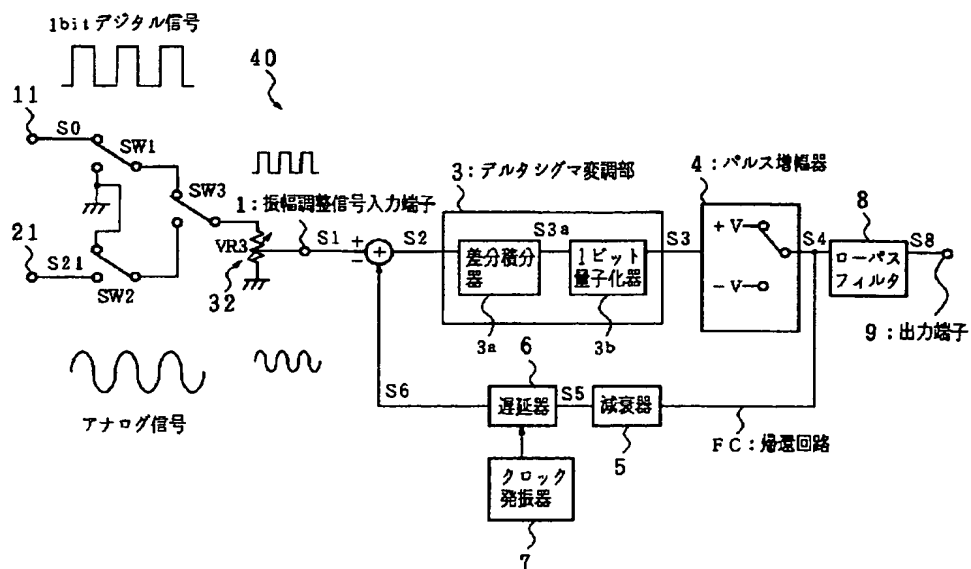


(15)

【図 4】

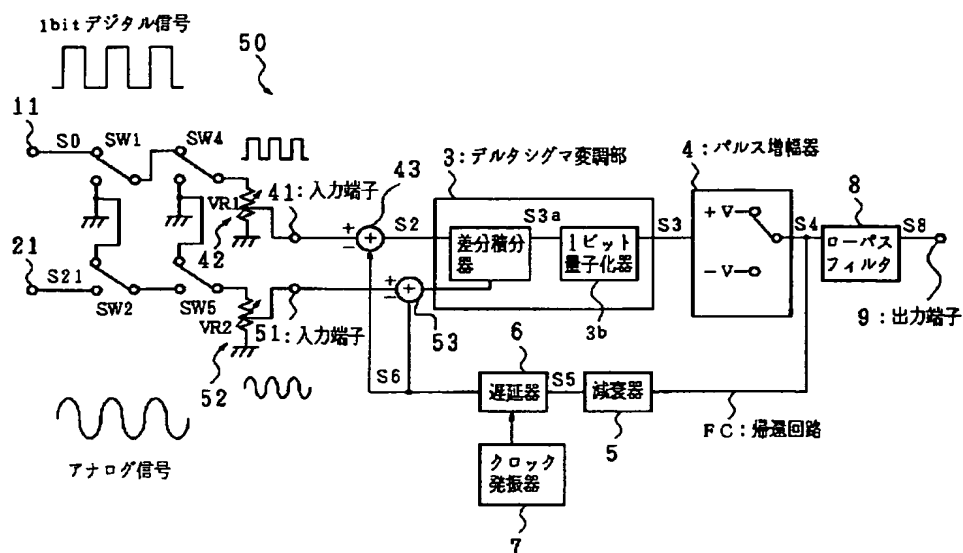


【図 5】

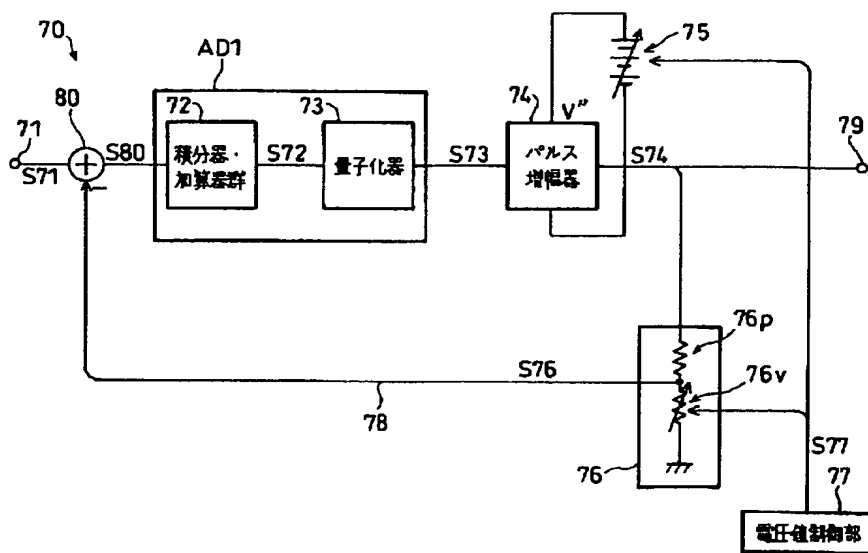


(16)

【図 6】



【図 7】



(17)

フロントページの続き

F ターム(参考) 5J064 AA01 AA04 BA03 BB02 BC07
BC08 BC10 BC11 BC16 BC19
BD03
5J091 AA01 AA24 AA66 CA22 CA98
FA01 HA26 HA38 KA00 KA15
KA23 KA26 KA31 KA32 KA42
KA53 MA11 TA01 TA06
5J100 AA09 BA10 BC06 BC07 CA00
CA06 CA11 CA24 DA06 EA02
FA00 LA08